

## ■機能概要

異なるクロック間で 1 パルス幅の信号、ベクタ信号を受け渡すための HDL モジュールです。

## ■信号一覧

util\_conv\_pls (1 パルス幅信号用)

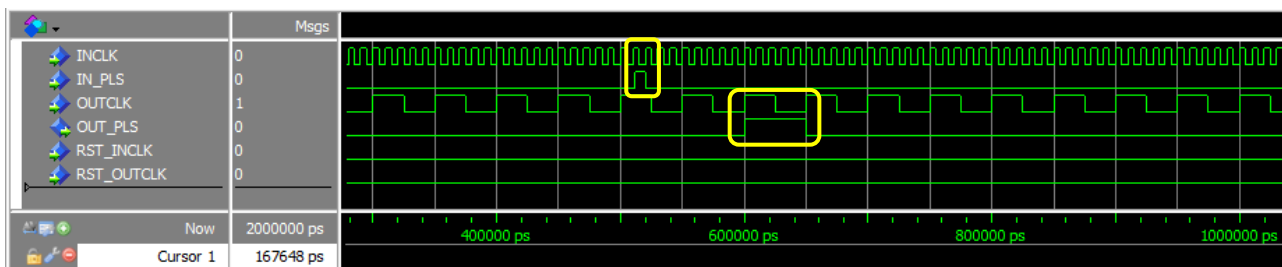
Name	I/O	Description
inclk	in	入力される 1 パルス幅信号のクロックです。
in_pls	in	1 パルス幅の入力信号(Active High)です。
outclk	in	出力する 1 パルス幅信号が同期するクロックです。
out_pls	out	1 パルス幅の出力信号(Active High)です。
rst_inclk	in	入力クロック(inclk)に同期したリセット信号(Active High)です。
rst_outclk	in	出力クロック(outclk)に同期したリセット信号(Active High)です。

util\_sync\_vec (ベクタ信号用)

Name	I/O	Description
outclk	in	出力する 1 パルス幅信号の同期クロック
in_vec	in	入力側ベクタ信号。データ幅は parameter(WIDTH)で設定。
out_vec	Out	出力クロックに同期したベクタ信号。データ幅は parameter(WIDTH)で設定。

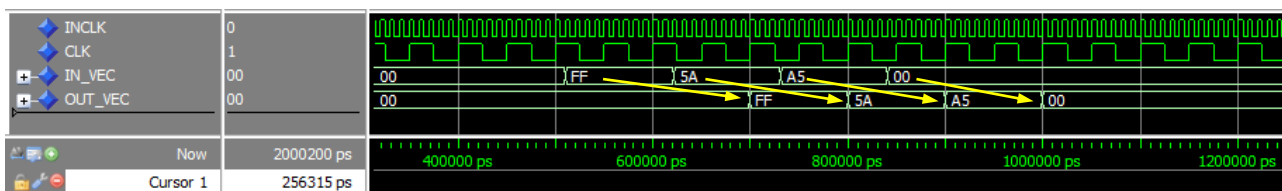
## ■機能詳細

util\_conv\_pls (1 パルス幅信号用)の動作波形を以下に示します。



入力クロックに同期した 1 パルス幅信号を安全に出力クロックへ同期して出力します。入力クロックと出力クロックの制限は無く、入力クロックと出力クロックのいずれが高速な場合でも動作可能です。但し、出力パルスが出力する前に連続して入力されたパルスは無視されますので注意して下さい。

util\_sync\_vec (ベクタ信号用)の動作波形を以下に示します。



入力クロックに同期したベクタ信号を安全に出力クロックへ同期して出力します。入力クロックと出力クロックの制限は無く、入力クロックと出力クロックのいずれが高速な場合でも動作可能です。但し、入力クロックと出力クロックの速度差や入力信号の変化タイミングによっては入力が破棄される場合があります。レジスタ設定値をレジスタと異なるクロックで動作するモジュールへ接続する場合などにご使用下さい。