

■ 機能概要

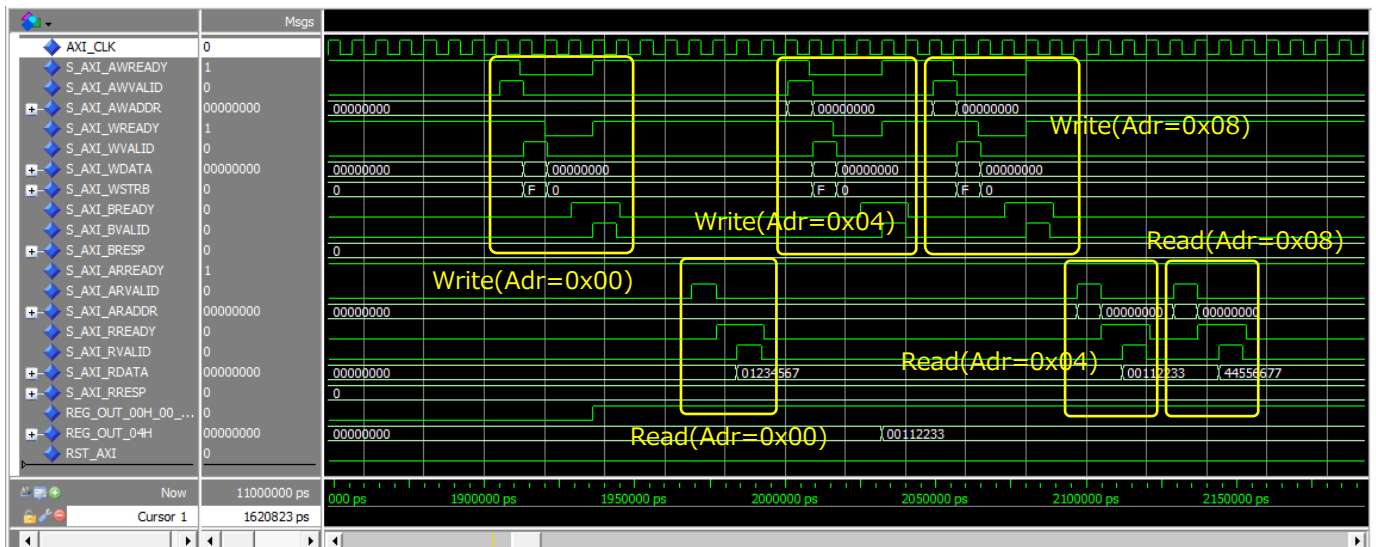
AXI4-Lite interface を持ったレジスタです。

■ 信号一覧

Name	I/O	Description
AXI_CLK	in	クロックです。
S_AXI_AWREADY	out	AXI slave の awready 信号です。
S_AXI_AWVALID	in	AXI slave の awvalid 信号です。
S_AXI_AWADDR	in	AXI slave の awaddr 信号です。
S_AXI_WREADY	out	AXI slave の wready 信号です。
S_AXI_WVALID	in	AXI slave の wvalid 信号です。
S_AXI_WDATA	in	AXI slave の wdata 信号です。
S_AXI_WSTRB	in	AXI slave の wstrb 信号です。
S_AXI_BREADY	in	AXI slave の bready 信号です。
S_AXI_BVALID	out	AXI slave の bvalid 信号です。
S_AXI_BRESP	out	AXI slave の bresp 信号です。
S_AXI_ARREADY	out	AXI slave の arready 信号です。
S_AXI_ARVALID	in	AXI slave の arvalid 信号です。
S_AXI_ARADDR	in	AXI slave の araddr 信号です。
S_AXI_RREADY	in	AXI slave の rready 信号です。
S_AXI_RVALID	out	AXI slave の rvalid 信号です。
S_AXI_RDATA	out	AXI slave の rdata 信号です。
S_AXI_RRESP	out	AXI slave の rresp 信号です。
REG_OUT_00H_00_BIT	out	レジスタのサンプル出力です。アドレス 0x00 のビット 0 信号です。
REG_OUT_04H	out	レジスタ出力サンプル出力です。アドレス 0x04(32bit)の出力信号です。
RST_AXI	in	AXI_CLK に同期したリセット(Active-High)入力です。

■ 機能詳細

動作波形を以下に示します。



AXI4-Lite interface へ接続して使用できるレジスタです。HDL 内部にはアドレス 0x00~0x3C までの 32 ビットレジスタを設けています。レジスタに設定された値を外部出力する際のサンプルとして、0x00 アドレスの 0 ビット目及び 0x04 アドレスの 32 ビット信号を設けています。