

■機能概要

4つの非同期リクエスト入力を非同期信号のまま調停するアービタモジュールです。

クロックなし、RS フリップフロップ（以下、RS-FF）ありという典型的な非同期回路のため、そのままの状態では FPGA への適用はお勧めできません。

(1)SIM モデルとして使う、(2)頭の体操ネタとして理解するにとどめる、(3)内容を十分理解した上であえて FPGA に適用してみる の内の(1)(2)までが良いでしょう。特に FPGA の設計を始めたばかりの方やタイミング制約に不慣れな方は、勢いで(3)まで行くと大失敗する可能性が大ですので、取扱いにはくれぐれもご注意下さい。

内容については、言葉で書くとかえって分かり難くなるため程々にしますが、要するに RS-FF を

“セット・リセット両方アサートした状態から、どちらか、または両方の信号をネゲートすると、どちらが先にネゲートしたかラッチする”

…ものにとらえ、これを全ての入力の組合せで行い、最後に結果を集計するという回路（そう、あの 74F706 の論理！）です。

サービスされたリクエスト信号がネゲートされた時点で、その次のリクエスト信号へサービスの対象が移りますが、その際も、ラウンドロビンでも固定優先順位でもなく、“ほぼ早い者勝ち”でサービス対象が移っていくのがこのアービタの面白いところ。SIM でランダムにリクエスト入力してみると、各 RS-FF が何をラッチしていて、どう出力に作用しているか、よく理解できるでしょう。

念のため繰り返しますが、このソースコードそのままを FPGA で実現するのは、熟慮の上、自己責任で行って下さい。論理合成や配置配線の各ツールがゲートループをどう扱うのか、出力段にグリッチを残さないようなリメディをどう構成するか等、入念に準備しないと大変なことになりますので。

■信号一覧

Port	I/O	Description
RST	in	非同期リセット入力 (Active High) です。 パワーオン時、またはシステムリセット時にアサートして下さい。
REQ_L[3:0]	in	リクエスト入力 (Active Low) です。 REQ_L[3:0]の中から1つだけが選ばれ、次の GNT_L[3:0]のどれか1つがアサートされます。 REQ_L[3:0]には優先順位はありません。基本的に、“早い者勝ち”です。 REQ_L[x]は、対応する GNT_L[x]がアサートされるまでアサートしたままとして下さい。
GNT_L[3:0]	out	グラント出力 (Active Low) です。 リクエスト信号を調停し、グラント信号が1つだけアサートされます。 GNT_L[x]がアサートされると、それに対応する REQ_L[x]がネゲートされるまで、他のリクエスト信号の状態によらず、グラント出力を維持します。

■機能詳細

下記は SIM 波形です。

SIM の際は、RS-FF を構成する 2 つのゲート（このサンプルの場合は NOR ゲート）の遅延時間が不一致となるような条件で行って下さい。

現実世界の RS-FF と同様、これらに完全に同じという条件を与えると、いつまでたっても値が収束しない状態（発振状態）となってしまいます。

