

■機能概要

UART のデータ送信部分のサンプルコードです。16 段の FIFO とシフトレジスタ、そしてステートマシンで構成されます。CPU のコンソール用というよりも、FPGA の内部情報等をソフトウェアレスで常時外部へ送出するための UART、という役回りで使用されます。キャラクタ長 5～8 ビット、パリティの偶/奇/なし、ストップビット長 1 または 2 ビット等が外部信号によって選択可能です。なお、本モジュールにはボーレートジェネレータは含んでいません。弊社の WebStore にある、“Baud Rate Generator for UART”モジュールとセットで使用すると、内部動作クロックと通信ボーレート用クロックを生成するためのクロックイネーブル信号出力がそのまま接続でき便利です。

■信号一覧

特に注記のない限り、信号は全て正論理です。

Port	I/O	Description
CLK_IN	in	本モジュールの内部動作クロック入力です。 24M～133.33MHz のクロック（ただし制限あり）が接続される想定です。詳しくは弊社の “Bard Rate Generator for UART”モジュールの資料から、CLK_IN に関する記載をご覧ください。
RST	in	非同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。
CKE_TX	in	UART 送信用クロックイネーブル入力です。 ボーレートの周期でアサートされる CLK_IN に同期した信号を入力して下さい。 弊社の “Bard Rate Generator for UART”モジュールとセットで使用する場合は、その CKE_TX 出力を本ポートに直接接続して下さい。
TX_EN	in	送信開始のイネーブル入力です。 RS232C の制御線（本モジュールにはありません）等を使ってフロー制御を行いたい場合は、このポートを操作することで送信開始の制御が可能です。不要な場合は Hi 固定して下さい。
TX_FORCE_BREAK	in	BREAK を強制送出するための信号です。 アサート期間中は、FIFO やシフトレジスタ内のデータに関係なく、BREAK 信号が送出され続けます。
TX_CHAR_LEN[1:0]	in	送信するキャラクタ長を設定する信号です。 00 の時 5 ビット、01 の時 6 ビット、10 の時 7 ビット、11 の時 8 ビットとなります。
TX_PAR_TYP[1:0]	in	キャラクタに続いて送出されるパリティビットを設置する信号です。 00 または 01 の時パリティなし、10 の時偶数パリティ、11 の時奇数パリティとなります。
TX_STOP_LEN[1:0]	in	ストップビット長を設定する信号です。 00 または 01 の時 1 ビット、10 または 11 の時 2 ビットとなります。
TX_BI_STB	in	送信データ FIFO へのライトストロブ入力です。
TX_BI_DAT[7:0]	in	送信データ FIFO へのデータ入力です。
TX_BI_FULL	out	送信データ FIFO のフルフラグです。
TX_BI_EMPTY	out	送信データ FIFO のエンティフラグです。
TX_ALL_EMPTY	out	送信データ FIFO と同シフトレジスタが、ともにエンティとなったことを示すフラグです。
TX_BI_ERR	out	送信データ FIFO のエラーパルス出力です。 FIFO がフルの状態で行うとアサートされます（データは FIFO にライトされず捨てられます）。
SOUT	out	UART のシリアル出力です。

■機能詳細

FIFO へのライト、および UART 送信出力の SIM 波形を示します。

