

## ■機能概要

シミュレーション時に、ステートマシンのステート名が波形表示されるようにコーディングした Verilog サンプルコードです。

ステートマシンのコード例として、VHDL の場合は、type 宣言で列挙したステート名を使ってコーディングしたものが一般的です。また Verilog の場合は、parameter 宣言 (localparam 宣言も含む) したステート名を使ってコーディングしたものを多く目にします。これらを ModelSim 等でシミュレーションすると、VHDL の場合は波形にステート名が表示されますが、Verilog の場合はステート名ではなく、エンコード値 (parameter 宣言部における代入元の即値) が表示されます。後者の場合、表示される 2 進や 16 進の数値からでは、それがどのステートを表しているか分かり難いため、常に parameter 宣言部と照合しながら波形確認したり、表示のためだけに別途デコード表記を追加したりすることもあるようです。本サンプルコードでは、あまり大ごとを考えず、波形にステート名を表示するためのトリックをご紹介します。

ネタバレになるため詳細はソースに譲りますが、その多くを占めるコメント文で、今回例として用いたステートマシンの仕様と、普段目にするのの多いステート名が表示されないスタイルのサンプルを記載しています。そしてソースの最後に登場する非コメント部分が、シミュレーション時にステート名が表示されるスタイルのサンプルとなっています。

なお、本サンプルコードは、“個々のステートが重複しないこと”、“ステート信号とステート名との比較によって、簡単にデコード部が記述できること”等の基本部分を満足すれば、回路的に冗長なステートビットがコーディングされていても OK、それらは後の論理合成ツール等によって除去されるはず、という方針のトリックコードです。各ステートにどんなビット列を設定するか、どんなカウンタをベースにするか等を、ツールではなく、設計者が工夫してハンドアSEMBルするようなケースには全く向きませんので、悪しからず。

## ■信号一覧

各種信号は全てアクティブハイで、クロックは立ち上がりエッジのみ有効です。

| Name                    | I/O | Description   |
|-------------------------|-----|---|
| RESET                   | in  | 非同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。  |
| CLOCK                   | in  | 同期クロックです。本モジュールの全ての信号は、本クロックに同期している想定です。  |
| START                   | in  | ステートマシンの動作開始を促す信号です。<br>ステート遷移条件等の詳細については、ソース内コメントを参照下さい。                                       |
| OUT_A<br>OUT_B<br>OUT_C | out | ステートマシンのデコード出力です。<br>ステートとデコード出力の関係については、ソース内コメントを参照下さい。<br>(このステートマシンは例であり、その仕様自体は本題とは関係ありません) |

## ■機能詳細

図はシミュレーション波形で、上はステートのエンコード値が表示された場合、下は本サンプルによってステート名が表示された場合のものです。



どちらのスタイルでコーディングしても、正しく論理合成が可能です。ステート名が表示可能な方では、不要なフリップフロップが削除された旨のメッセージが表示されますが、問題ありません (むしろ正しい挙動です)。何故そうなるのかは、ソースで確認してみてください。