

■機能概要

UART のデータ受信部分のサンプルコードです。16 段の FIFO とシフトレジスタ、そしてステートマシンで構成されます。弊社の WebStore にある“Transmitter Block for UART”の続編にあたるもので、CPU のコンソール用というよりも、FPGA のデバッグ時に外部から状態や設定やソフトウェアレスで確認・変更するための UART、というような役回りで使用されます。キャラクタ長 5～8 ビット、パリティの偶/奇/なし、データ受信告知用 FIFO 内データ数 1/4/8/14 バイト等が外部信号によって選択可能です。なお、本モジュールにはボーレートジェネレータは含んでいません。弊社の“Baud Rate Generator for UART”モジュールとセットで使用すると、内部動作クロックと通信ボーレート用クロックを生成するためのクロックイネーブル信号出力がそのまま接続でき便利です。

■信号一覧

特に注記のない限り、信号は全て正論理です。

Port	I/O	Description
CLK_IN	in	本モジュールの内部動作クロック入力です。24M～133.33MHz のクロック（ただし制限あり）が接続される想定です。詳しくは弊社の“Bard Rate Generator for UART”モジュールの資料から、CLK_IN に関する記載をご覧ください。
RST	in	非同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。
CKE_RX	in	UART 受信用クロックイネーブル入力です。ボーレートの周期でアサートされる CLK_IN に同期した信号を入力して下さい。上記“Bard Rate Gen…”モジュールとセットで使用する場合は、その CKE_RX 出力を直接接続して下さい。
RX_EN	in	受信開始のイネーブル入力です。RS232C の制御線（本モジュールにはありません）等を使ってフロー制御を行いたい場合は、このポートを操作することで受信開始の制御が可能です。不要な場合は Hi 固定して下さい。
RX_CHAR_LEN[1:0]	in	受信するキャラクタ長を設定する信号です。00 の時 5 ビット、01 の時 6 ビット、10 の時 7 ビット、11 の時 8 ビットとなります。
RX_PAR_TYP[1:0]	in	キャラクタに続いて受信されるパリティビットを設置する信号です。00 または 01 の時パリティなし、10 の時偶数パリティ、11 の時奇数パリティとなります。
RX_STOP_LEN[1:0]	in	本モジュールではインプリメントされていません。常に 00 を入力して下さい。
RX_TRIG_LEV[1:0]	in	RX_TRIG_BO 信号のアサート条件を設定する信号です。00 の時、受信データ FIFO に 1 バイト以上データがあれば同信号がアサートされます。01 の時は 4 バイト以上、10 の時は 8 バイト以上、11 の時は 14 バイト以上でアサートされます。
RX_BO_STB	in	受信データ FIFO からキャラクタを読み出し終わる毎、1 パルス分アサートして下さい。これによって受信データ FIFO のリードポイントが内部でインクリメントされます。
RX_BO_DAT[7:0]	out	受信データ FIFO からのデータ出力です。
RX_BO_PERR	out	受信データ FIFO からのデータ出力のステータスビットで、1 の時パリティエラーの検出を意味します。
RX_BO_FERR	out	受信データ FIFO からのデータ出力のステータスビットで、1 の時フレーミングエラー検出を意味します。
RX_BO_BREAK	out	受信データ FIFO からのデータ出力のステータスビットで、1 の時ブレークの検出を意味します。
RX_BO_ERR_SUM	out	エラーサマリービットです。受信データ FIFO 内に、パリティエラー、フレーミングエラー、ブレーク受信のいずれかを伴ったデータが含まれている場合に 1 になります。
RX_BO_FULL	out	受信データ FIFO 内のフルフラグです。
RX_BO_TRIG	out	1 の時、受信データ FIFO 内に RX_TRIG_LEV[1:0] で設定した量のデータがあることを示します。
RX_BO_EMPTY	out	受信データ FIFO のエンティフラグです。
RX_SET_OVERRUN	out	受信オーバーラン（FIFO オーバーフロー）が発生した時、1 パルス分アサートされます。
RX_BREAKING	out	1 の時、現在ブレークを受信中であることを示します。
RX_TIMEOUT	out	1 の時、最後に受信して以降 4 キャラクタ時間を超えて新たな受信も FIFO データリードもなく、かつ受信データ FIFO にデータが残っていることを示します。
SIM	in	UART のシリアル入力です。データライン上のノイズの除去機能は本モジュールに含んでいません。

■機能詳細

受信データ FIFO がフルになった状態からデータを読み出す際の SIM 波形を示します。

