

■機能概要

PCI Express のデスクランブラ・モジュールです。

本来、スクランブラとデスクランブラは PCI Express の物理層の機能ですが、PIPE (PHY I/F for PCI Express) で上位層・下位層を隔てて設計する場合には、同機能は何故か上位層（つまり MAC 側）の責任範囲となります。多くの場合、既存の PCI Express の IP を用いることで、スクランブラやデスクランブラを設計することから回避可能ですが、何かの事情で MAC を設計する必要に迫られてしまった場合、あるいは IP を使いつつも、シミュレーションしてみたら、切り口であるはずの PIPE に現れるのはスクランブルのかかったデータばかりで理解できないといった場合等々、デスクランブルするモジュールをガイド役にしたい場面が極まれに訪れます。そんな時に本モジュールをお使いください。

PIPE はデータ 16 ビットの仕様を想定しています。8 ビットの場合は、規格書（PCI Express Base Spec）の Appendix C に詳しく記載されていますので、そちらを参照ください。

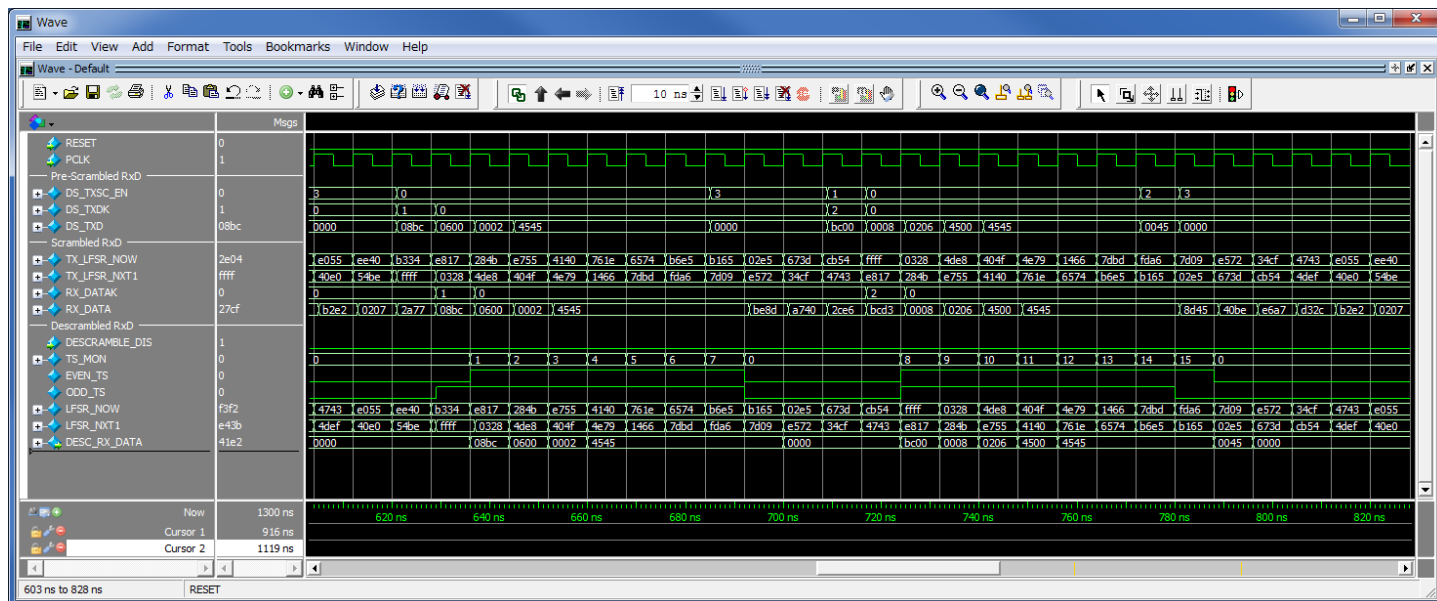
■信号一覧

各種信号は全てアクティブハイで、クロックは立ち上がりエッジのみ有効です。

Name	I/O	Description
RESET	in	非同同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。
PCLK	in	PIPE の PCLK です。
RX_DATA[15:0]	in	PIPE の RxData です。
RX_DATAK[1:0]	in	PIPE の RxDataK です。[1]は RX_DATA[15:8]に、[0]は同[7:0]に対応します。1 のとき、対応する RX_DATA が K コードであることを示します。
DESCRAMBLE_DIS	in	通常は 0 を入力し、デスクランブル機能を強制的に禁止にする際に 1 を入力して下さい。
DESC_RX_DATA[15:0]	out	デスクランブル処理後のデータです。 レジスタ出力であり、RX_DATA から 1 クロック遅れて確定します。 RX_DATAK[1:0]とセットで使用する場合は、同信号を 1 クロック遅らせて組合せて下さい。

■機能詳細

動作波形を以下に示します。



デスクランブルに用いる LFSR (Linear Feedback Shift Register) は、PCI Express の規格書にも記載されている 16 ビット構成で、本モジュールでは LFSR_NOW[15:0]として生成しています。PIPE の 16 ビットデータを一度にデスクランブルするため、LFSR の次の値と更にその次の値を別々に求めておき、それぞれを各データバイトレーンに適合するという方法で LFSR を動作させています。このため、上記波形の LFSR_NOW には、規格書に記載された 16 ビット LFSR 値が 1 つ飛びで現れます (LFSR_NEXT1[15:0]と LFSR_NOW[15:0]をセットで見れば全て網羅されます)。

スクランブルのかかっていないフレームである TS1、TS2 が、PIPE の偶数バイトレーン (RX_DATA[7:0]) からスタートするか、奇数バイトレーン (RX_DATA[15:8]) からスタートするかで、デスクランブル禁止期間が異なります。本モジュールでは、内部に TS_MON[3:0]というトレースカウンタを用意し、これらを識別しています。上の波形では TS2 が 2 回入力されており、前半の TS2 は偶数バイトレーン始まり、後半の TS2 は奇数バイトレーン始まりとなっていますが、いずれの場合も TS 直前直後でデスクランブル機能は正常に機能していることが分かります。