

■機能概要

汎用の DPRAM とリード・ライトポインタで構成した FIFO モジュールです。

リードクロックとライトクロックは互いに非同期に動作可能で、ポインタや各種フラグを同期化するコードを全て含んでいるため、特殊フラグの追加やワード数の変更等といったカスタマイズが非常に容易です。

FPGA ベンダや ASIC ベンダから提供される FIFO-IP を使用する場合と比べて、重要なポインタ・カウンタ類の全てを、ユーザが参照可能であるという点が本モジュールの最大のメリット。これらを元にしたカスタマイズによって、自分の使いやすい FIFO を構成し、使用するベンダによらず、その FIFO を使い続けるといったことも可能です。ソースでは 32 ビット幅 16 段という小ぶりな FIFO を構成していますが、コードを読み進めれば、データ幅や深さを変更するのも容易であると理解されるはず。ベンダ毎に微妙に異なる FIFO 仕様になじめない方や、デュアルクロック FIFO の構成方法に興味がある方にもおすすめです。

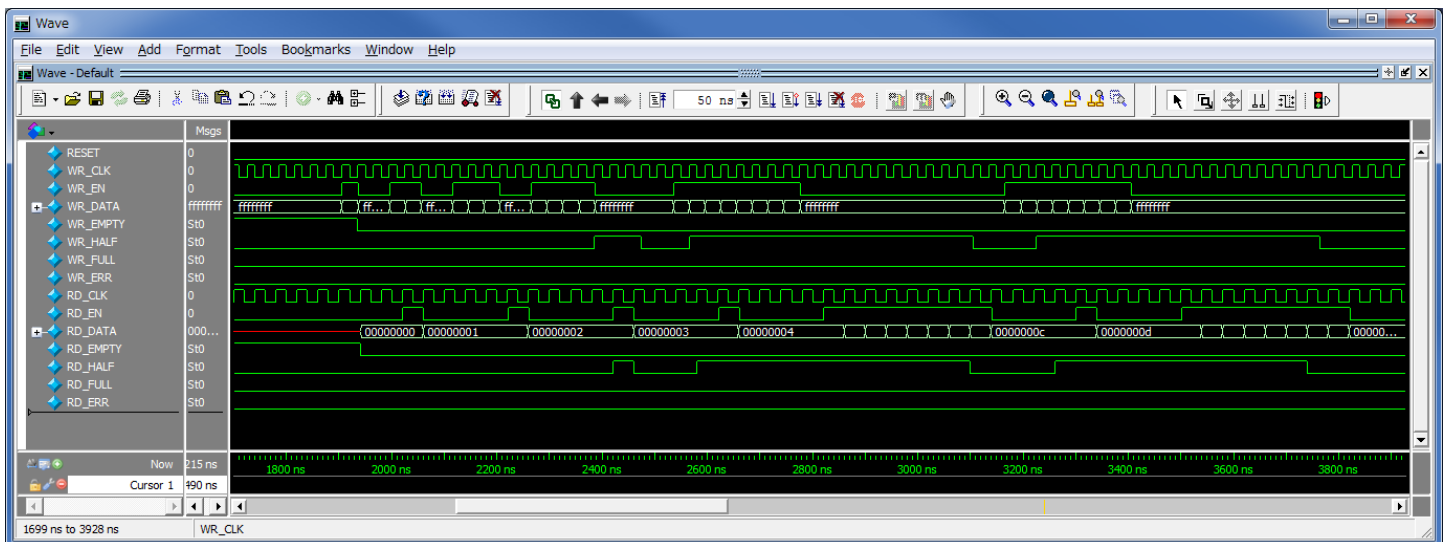
■信号一覧

各種信号は全てアクティブハイで、クロックは立ち上がりエッジのみ有効です。

Name	I/O	Description
RESET	in	非同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。
WR_CLK	in	FIFO のライトポートの信号 (WR_ で始まる信号) の同期クロックです。
WR_EN	in	FIFO へのライトイネーブル信号です。
WR_DATA[31:0]	in	FIFO へのライトデータです。
WR_EMPTY	out	ライトポートで使用する FIFO エンプティフラグです。
WR_HALF	out	ライトポートで使用する FIFO ハーフフルフラグです。
WR_FULL	out	ライトポートで使用する FIFO フルフラグです。
WR_ERR	out	FIFO フルの状態で FIFO にライトしようとするとアサートされます。ライトは実行されません。
RD_CLK	in	FIFO のリードポートの信号 (RD_ で始まる信号) の同期クロックです。
RD_EN	in	FIFO へのリードイネーブル信号で、リードポインタのカウントアップイネーブル信号として動作します。
RD_DATA[31:0]	out	FIFO からのリードデータです。FIFO に最初にライトしたデータは自動的に RD_DATA に現れ、以降、RD_EN をアサートする毎に次のライトデータに切り替わります (First Word Fall Through)。
RD_EMPTY	out	リードポートで使用する FIFO エンプティフラグです。
RD_HALF	out	リードポートで使用する FIFO ハーフフルフラグです。
RD_FULL	out	リードポートで使用する FIFO フルフラグです。
RD_ERR	out	FIFO エンプティの状態で FIFO をリードしようとするとアサートされます。

■機能詳細

動作波形を以下に示します。



図では、ライトクロックの周波数がリードクロックよりも少し速い設定で、互いに非同期となっています。

最初のライトによって、RD_DATA には自動的に最初のライトデータが現れています (First Word Fall Through)。この後、RD_EN のアサートによって、FIFO にライトされたデータが順番に出現していきます。

WR_EN や RD_EN は連続アサートが可能です。ただし FIFO フル状態でのライトや、エンプティ状態でのリードはエラーとなるため、注意して下さい。WR_EMPTY 等のライトポート用フラグは、ライトポートにとって最短で同期化されています。また RD_EMPTY 等のリードポート用フラグは、リードポートにとって最短で同期化されています。