

## ■機能概要

非同期ベクター信号を同期化する際のガイド役として SIM 警告機能を付加した、4 ビット D フリップフロップの Verilog サンプルコードです。

入力される 4 ビットベクターの内、サンプリングクロックの有効エッジ前後の一定時間内に 2 ビット以上が変化すると、SIM 専用に向けた SYNCWARN 信号をアサートし警告を発します。同信号は Verilog の Specify ブロックを用いて生成しているため、論理合成時には回路化されません。回路規模を増やすことなく、SIM 時のみのガイド役として機能します。

ベクターを同期化するやり方として、適用可能な条件はそれぞれ異なるものの、一般的に用いられるのは次の 3 つの方法でしょう。

- 同期化するタイミングでベクターが変化しないよう一時停止させる（何らかのベクター交換手順を設ける）
- ベクターを 2 ビット以上同時に変化させないようなものに変える（グレイコードカウンタのような）
- とにかくサンプリングするだけ（タイミングによっては全くの不定値が出力され得るが、後段のフィルタで落とすか、不定値もアリとする）

(c)における初段のフリップフロップでは、複数ビットでのタイミングバイオレーションが起こるべくして起きます。これは確信犯的な回路ですので、SIM 警告してもあまり意味はありません。

一方、(a)(b)における初段のフリップフロップでは、本来複数ビットでのタイミングバイオレーションは発生しない（(a)の場合には 1 ビットですら発生しない）はずで、SIM でそれが検出されたとすれば、どこかに回路設計上の見落としがあると考えべきです。こういったケースで、本モジュールのように SIM 警告機能を付けて D フリップフロップを構成しておく、自動的にチェックができて便利です。

FPGA/CPLD の場合、タイミングバイオレーションを見つけるためのタイミング SIM を行うことは、あまり一般的ではありません。タイミング SIM を行わないのとセットで、Specify ブロックも使わない・馴染みがないという人も多いかもしれませんが、知っておくとファンクション SIM においても重宝します。

詳しい内容はソースでご確認下さい。ベクターのビット数や specparam で与えている警告用タイムウインドウ（サンプリングクロックの有効エッジ前後の入力変化を異常ととらえる期間）は、全てのケースに万能ではありませんので、使用する回路や動作周波数に応じて適宜変更してご使用下さい。

なおファンクション SIM とは言え、複数のクロック系（一方から他方が非同期に見える）の各クロックの周期は、切りの悪い比率に設定して SIM するのが良いでしょう。SIM が進むにつれ、クロックの位相関係が変わっていきませんが、どんな位相となっても上記(a)(b)の回路では、初段のフリップフロップでのタイミングバイオレーションの数は規定数以下となるべきで、本モジュールのような記述で自動チェックするのがピッタリです。

## ■信号一覧

ポートとしては一般的な D フリップフロップ用のポートしかないため、重要な内部信号等も合わせて書いておきます。

Port	I/O	Description
CLK	in	同期クロックです。本モジュールの全ての信号は、本クロックに同期している想定です。
DIN[3:0]	in	フリップフロップの D 入力です。
DOUT[3:0]	out	フリップフロップの Q 出力です。
Internal	-	Description
tsu	-	CLK に対する DIN のセットアップタイム規定を設定しています。 この値未満のセットアップタイムで DIN を入力すると、\$setup の notifier である TIM_NTF_x (x は 0..3) が変化します（変化の順序は使用するシミュレータで変わる場合があります）。
tu	-	CLK に対する DIN のホールドタイム規定を設定しています。 この値未満のホールドタイムで DIN を入力すると、\$hold の notifier である TIM_NTF_x (x は 0..3) が変化します（変化の順序は使用するシミュレータで変わる場合があります）。
DIFF_BIT[3:0]	-	DIN[3:0]と同じ並びで、サンプリング時にタイミングバイオレーションの検出されたビットが 1 となります。 TIM_NTF_x (x は 0..3) の変化を検出して生成しています。
SYNCWARN	-	DIFF_BIT[3:0]の内、2 ビット以上で 1 となった場合にアサートされます。 つまり 2 ビット以上でタイミングバイオレーションが起きた際に 1 となります。

## ■機能詳細

下記はタイミングバイオレーションとなるよう DIN 入力した場合の SIM 波形です。

左は 1 ビットだけのバイオレーションのため SYNCWARN はアサートされず、右は 2 ビットのため SYNCWARN がアサートされています。

