

■機能概要

非同期信号を同期化する際のガイド役として SIM 警告機能を付加した、1 ビット D フリップフロップの Verilog サンプルコードです。

入力信号のパルス幅が設定値未満になると、SIM 専用で設けた SYNCWARN 信号をアサートし警告を発します。同信号は Verilog の Specify ブロックを用いて生成しているため、論理合成時には回路化されません。回路規模を増やすことなく、SIM 時のみのガイド役として機能します。

言うまでもありませんが、複数のクロックが混在する回路ブロックで、互いに異なるクロック系の間で正しく信号をやりとりしようとする、入力信号のトグル周波数とサンプリング周波数との関係で一定のルールを守ることが必要となります。初期設計時には正しい回路、正しいコーディングがなされていても、後々、動作周波数を変更することになったり、同期化の回路そのものを変更したりといった場合に、当初のルールを外れ、正しく同期化できない回路になってしまうこともあり得ます。これを簡単に防ぐ目的で、受け側の D フリップフロップに SIM 警告機能を設けたものが本サンプルコードです。

SIM はファンクション SIM で構いませんが、Specify ブロックはタイミングをチェックしています。異なるクロック系は、それぞれ正規の周波数で動作するよう、SIM 環境を構築しておきましょう。

なお、単一のクロックで動作する同期回路としてコーディングする場合は、このようなガイド付きのコードを使う必要は全くありません。むしろ SIM を重くするだけなので、使用すべきではないでしょう。また、付加されているのはあくまで SIM 上の警告信号ですので、そもそも SIM しない向きには全く意味がないこともお忘れなく。

■信号一覧

ポートとしては一般的な D フリップフロップ用のポートしかないため、重要な内部信号等も合わせて書いておきます。

Port	I/O	Description
CLK	in	同期クロックです。本モジュールの全ての信号は、本クロックに同期している想定です。
DIN	in	フリップフロップの D 入力です。
DOUT	out	フリップフロップの Q 出力です。
Internal	-	Description
tcyc	-	CLK のトグル周期を設定しています。
tglt	-	DIN に許容可能なグリッチ幅を設定しています。 ファンクション SIM とは言え、モデルや接続状況によっては微小なグリッチは起こり得ますし、エラーではないケースも多々あります。それらを警告せずに、無視するように設定します。
TIM_NTF_SETUP	-	セットアップタイムをチェックする \$setup の notifier です。 ファンクション SIM であれば本来セットアップマージンは十分あるはずという前提に基づき、tcyc 設定値-2ns を下回った場合に状態変化するように記述しています。 * notifier の変化の順序は、使用する SIM によって異なる場合があります。ご注意ください。
TIM_NTF_WIDTH	-	パルス幅をチェックする \$width の notifier です。 tglt < DIN パルス幅 < tcyc となった場合に状態変化するように記述しています。 * notifier の変化の順序は、使用する SIM によって異なる場合があります。ご注意ください。
SYNCWARN	-	上記セットアップタイムとパルス幅のどちらかのチェックが警告を発した場合、1 になります。 SYNCWARN は DIN と CLK の入力に応じて変化し、警告状態を保持するものではありません。

■機能詳細

下記はタイミングバイオレーションとなるよう DIN 入力した場合の SIM 波形です。

左右どちらもパルス幅が短いと警告され、SYNCWARN 信号がアサートされています。

回路的には、同期化する回路への入力信号としてはクロック周波数に対して信号のパルス幅が短すぎるため、“すっぽぬけ”が起きてしまい、正しく動作しません。このような入力の想定される、異なるクロック系の境界上の D フリップフロップにおいて、本サンプルのような SIM 警告を導入し、SYNCWARN 信号をモニタする、あるいは 1 になったら SIM を停止させるようにしておけば、SIM 実行時に容易に問題に気付けるでしょう。

