

■機能概要

DPRAM を記憶要素に用いて構成したカウンタファイルです。32 ビット長のバイナリカウンタを 256 本収容しています。RAM の I/O 部にはマルチプレクサ・デマルチプレクサが存在するため、フリップフロップで構成したカウンタ群と違い、複数のカウンタを同時監視・同時更新することはできませんが、使用するフリップフロップや LUT は比喩にならないほど少なく済むという利点があります。使い方は RAM と同様で、更新したいカウンタを 256 本の中から選択して更新（カウントアップ、またはクリア）、そしてそれとは別に、読み出したいカウンタを 256 本の中から選択してリードするというものです。カウンタの更新と読み出しは別のポートから独立して実行可能なため、更新はハードロジックで、読み出しはプロセッサ（ソフトウェア）で行うという使い方も可能です。通信上の受信データを種類別に分類して計数するだけの統計情報カウンタや、ステートマシンの各ステートにおける滞在クロック数をステートごとに計数するダイアグ用カウンタなど、機能上、脇役的なカウンタで、回路をあまり消費したくない、RAM が余っているといったケースで役に立つでしょう。

■信号一覧

各種信号は全てアクティブハイで、クロックは立ち上がりエッジのみ有効です。

Name	I/O	Description
CLOCK	in	本モジュールの基本クロック入力です。全ての入力信号は本信号に同期させて入力して下さい。
CNT_CTL_SEL[7:0]	in	RAM のアドレス線のように、更新すべきカウンタを選択するための信号です。下記 CNT_CTL_UP、CNT_CTL_CLR で操作するカウンタを選択して下さい。CNT_CTL_SEL[7:0]は CNT_RD_SEL[7:0]とは無関係に入力することができます
CNT_CTL_UP	in	カウントアップのためのストロブ信号です。本信号をアサートすると、CNT_CTL_SEL[7:0]で選択されたカウンタが+1 されます。同一カウンタに対して連続してカウントアップを行うことも可能です。（一部の FPGA 用 DPRAM で見られる RW アドレスコンフリクト問題にも対応しています）
CNT_CTL_CLR	in	カウントクリアのためのストロブ信号です。本信号をアサートすると、CNT_CTL_SEL[7:0]で選択されたカウンタがゼロクリアされます。CNT_CTL_CLR と CNT_CTL_UP を同時にアサートすると、CNT_CTL_CLR が有効となり、選択されたカウンタがゼロクリアされます（CNT_CTL_UP は無視されます）。
CNT_RD_SEL[7:0]	in	RAM のアドレス線のように、読み出すべきカウンタを選択するための信号です。CNT_RD_SEL[7:0]は CNT_CTL_SEL[7:0]とは無関係に入力することができます。
CNT_RD_DOUT[31:0]	out	カウンタ値を出力するデータポートです。CNT_RD_SEL[7:0]で読み出すべきカウンタを選択すると、次のクロックでカウント値が出力されます。

■機能詳細

動作波形を以下に示します。

