

■機能概要

X.25 のフレームチェックシーケンスで使用される CRC-16-X25 (CRC-16-CCITT)を、パラレルデータから生成・チェックするサンプルコードです。

この CRC に関する生成多項式等の情報は次の通りで、本来であれば、これに従ってシリアルビット列から LFSR を作ればほぼ完成ですが、本サンプルではシリアルデータからではなく、8 ビットパラレルデータ毎に LFSR と CRC を更新する構成としています。

簡単に使い方の分かる SIM トップファイルをオマケとして付けていますので、合わせて参照して下さい。

CRC-16-X25 (CRC-16-CCITT)

Parameter	Description
生成多項式	$G(X) = X^{16} + X^{12} + X^5 + 1$
LFSR 初期値	0xFFFF
入出力順序	入力は LSB ファーストで、D[7:0]の D[0]から入力（つまり出力も LFSR をビットリバースする）
LFSR インバート	インバートする
CRC 正常時の LFSR 値	0x1D0F

■信号一覧

本サンプルコードでは、CRC の生成用のモジュールとチェック用のモジュールに分けて記述しています。いずれも、特に注記のない限り、信号は全て正論理です。

CRC16_X25_Gen モジュール:

Port	I/O	Description
CLK	in	クロック入力です。本モジュールはこの信号の立ち上がりエッジで動作します。本サンプルコードにおける CRC の生成とチェックは、パラレルデータに対して行うため、本クロックは必ずしも X.25 のビットクロックである必要はありません。
RST	in	非同期リセット入力です。パワーオン時、またはシステムリセット時にアサートして下さい。
INIT_LFSR	in	LFSR を初期値に戻すためのコントロール信号です。フレーム開始の都度、1 クロックだけアサートし、LFSR を初期化して下さい。
CALC_CRC	in	CRC を計算するためのコントロール信号です。PDIN[7:0]に CRC 計算対象が揃った時点で、1 バイトにつき 1 クロックだけアサートして下さい。データが複数バイトから成る場合は、データが揃う都度、繰り返しアサートして下さい。その次のクロックで LFSR と CRC が更新されます。
PDIN[7:0]	in	CRC の計算対象となるパラレルデータです。
CRC[15:0]	out	CRC 出力です。シリアライズする際は、CRC[0]から送出して下さい。

CRC16_X25_Chk モジュール:

Port	I/O	Description
CLK	in	CRC16_X25_Gen モジュールと同様です。
RST	in	CRC16_X25_Gen モジュールと同様です。
INIT_LFSR	in	CRC16_X25_Gen モジュールと同様です。
CALC_CRC	in	LFSR (CRC) を再計算するためのコントロール信号です。PDIN[7:0]に CRC 計算対象が揃った時点で、1 バイトにつき 1 クロックだけアサートして下さい。データが複数バイトから成る場合は、データが揃う都度、繰り返しアサートして下さい。その次のクロックで LFSR が確定します。
PDIN[7:0]	in	LFSR (CRC) の再計算対象となるパラレルデータです。受信される順、すなわちデータ N バイトに続いて CRC[7:0]、CRC[15:8]の順に PDIN[7:0]に 入力して下さい。
CRC_CHK_TIM	in	現在の LFSR 値で CRC の正誤判定をするためのストローブ信号です。最終バイト(=CRC[15:8]) に対する CALC_CRC のアサート以後、INIT_LFSR または CALC_CRC をアサートするまでの任意のタイミングでアサート可能です。CRC が正しければ、その次のクロックで CRC_OK がアサートされます。
CRC_OK	out	CRC_CHK_TIM をアサートした次のクロックで、本信号がアサートされれば CRC 正常、ネゲートされれば CRC 異常と分かります。