

■機能概要

バスの同時変化する信号数を減らす目的で作ったモジュール（SSO は Simultaneous Switching Output の意）です。話はシンプルで、出力段のフリップフロップに新しい値をロードする際に、前回の値から変化するビットの数を数えて、一定数以上変化する場合にはそのままロードするのではなく、反転した値をロードして、別途反転フラグとともにデータ伝達しようというものです。ソースコードでは 32 ビットのバスを例としています。出力フリップフロップにデータをロードする際、前回出力した値と比べて 17 ビット以上異なる場合に、反転した値を出力します。もちろんこれだけだと受け側で正しい値を取得できませんので、データが反転したものが否かを示すビットを追加し、それに応じて受け側でデータを再反転することが必要です。同時スイッチング問題に直面した際の切り分け用に、あるいはマルチドロップによってインピーダンスが極めて低くなってしまったラインを FPGA で直接ドライブしなくてはならない場合の緊急救済策の 1 つとして等々で、出番があるかもしれません。

なお、32 ビット出力データの変化ビットの計数は、前後のデータの各ビットの XOR を取り、その 1 の数を数えています（Population Count）。1 の数を数えるのは、よくある 3 ビットスライスアダーと 7 ビットスライスアダーの組合せで記載していますが、他にもいくらでもやりようはありますので、工夫してみると面白いかもしれません。ちなみに 3 ビットスライスアダーだけで 32 ビットの Population Count を作ると、 $32-6+5=31$ 個のスライスアダーで記載できます（3 ビットスライスアダー 1 個をフル活用すると 3 ビットが 2 ビットになり 1 ビット減る→32 ビットを最終的に 6 ビットにするので 26 個必要→しかしフル活用されずに 2 ビット入力 2 ビット出力として使用するスライスアダーが 5 個存在する→つまり $32-6+5=21$ 個）。中間変数となる信号名の付け方・まとめ方がめんどろで間違い易いですが、後で最適化され易いのはそちらの方かもしれません。Verilog 版には限定でそのサンプルを付けておきます。

■信号一覧

各種信号は全てアクティブハイで、クロックは立ち上がりエッジのみ有効です。

Name	I/O	Description
RST	in	非同期リセット入力です。 パワーオン時、またはシステムリセット時にアサートして下さい。
CLK	in	バス同期クロックです。
DOUT_I[31:0]	in	本モジュールへの入力データであり、DOUT_O へ出力されるべきデータです。 DOUT_LD がアクティブの時、出力段フリップフロップへロードされますが、その値は DOUT_I のままか、あるいは DOUT_I を全ビット反転したものとなります。 DOUT_O と DOUT_I を比較し、変化ビットが少なくなるように選択されます。
DOUT_O[31:0]	out	本モジュールの出力データです。 INV_FLAG が 1 の時は反転データが出力されているため、受け側で再反転することが必要です。
DOUT_LD	in	出力を更新（新値をロード）する際にアサートする信号です。
INV_FLAG	out	DOUT_O をそのまま使用して良いか、再反転する必要があるかを示しています。 INV_FLAG が 1 の時は反転データが出力されているため、受け側で再反転することが必要です。 DOUT_O とセットで使用して下さい。

■機能詳細

動作波形を以下に示します。

DIFF_VEC は内部信号で、旧出力と新出力のビット差分を表しています。
DIFF_VEC_PC も内部信号で、DIFF_VEC の 1 の数（つまり新旧で異なるビット数）を数えた結果を表しています。
DIFF_VEC_PC が 17 以上の場合に DOUT_O は反転出力となり、INV_FLAG がアサートされます。

